

20.4.2004

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 5月22日

出願番号
Application Number: 特願2003-144624
[ST. 10/C]: [JP 2003-144624]

出願人
Applicant(s): 住友電気工業株式会社

REC'D 10 JUN 2004

WIPO PCT

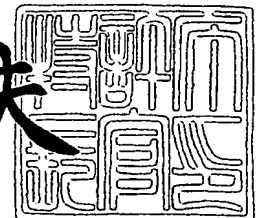
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2004年 5月28日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3045666

【書類名】 特許願

【整理番号】 1030657

【提出日】 平成15年 5月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/265

【発明者】

【住所又は居所】 大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会
社 大阪製作所内

【氏名】 藤川 一洋

【発明者】

【住所又は居所】 大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会
社 大阪製作所内

【氏名】 原田 真

【特許出願人】

【識別番号】 000002130

【住所又は居所】 大阪府大阪市中央区北浜四丁目 5 番 3 3 号

【氏名又は名称】 住友電気工業株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908053

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法、半導体基板への不純物イオン注入方法
およびそれらの方法に用いるマスク層

【特許請求の範囲】

【請求項 1】 半導体基板の表面に、 SiO_2 膜と、金属薄膜と、を備える
マスク層を形成するステップと、

前記半導体基板の表面に不純物イオン注入を行なうステップと、

を備える、半導体装置の製造方法。

【請求項 2】 前記マスク層を形成するステップは、 SiC 系半導体基板の
表面に、前記 SiO_2 膜と、前記金属薄膜と、を備える前記マスク層を形成する
ステップを含み、前記不純物イオン注入を行なうステップは、前記 SiC 系半導
体基板の表面に不純物イオン注入を行なうステップを含む、請求項 1 に記載の半
導体装置の製造方法。

【請求項 3】 前記マスク層を形成するステップは、前記半導体基板の表面
の不純物注入を行わない領域に、前記マスク層を形成するステップを含む、請求
項 1 に記載の半導体装置の製造方法。

【請求項 4】 前記不純物イオン注入を行なうステップは、前記半導体基板
の前記マスク層を形成していない表面に、前記不純物イオン注入を行なうステッ
プを含む、請求項 1 に記載の半導体装置の製造方法。

【請求項 5】 前記不純物イオン注入を行なうステップは、前記半導体基板
を $300^\circ\text{C} \sim 500^\circ\text{C}$ の範囲に加熱した状態で、前記不純物イオン注入を行なう
ステップを含む、請求項 1 に記載の半導体装置の製造方法。

【請求項 6】 前記不純物イオン注入を行なうステップは、前記半導体基板
を $500^\circ\text{C} \sim 800^\circ\text{C}$ の範囲に加熱した状態で、前記不純物イオン注入を行なう
ステップを含む、請求項 1 に記載の半導体装置の製造方法。

【請求項 7】 前記マスク層を形成するステップは、前記 SiO_2 膜と、前
記金属薄膜と、を備え、3層以上の膜からなる前記マスク層を形成するステップ
を含む、請求項 1 に記載の半導体装置の製造方法。

【請求項 8】 前記マスク層を形成するステップは、それぞれ $500\text{nm} \sim$

1. $5\mu\text{m}$ の範囲の平均厚みを有する、前記 SiO_2 膜と、前記金属薄膜と、を備える前記マスク層を形成するステップを含む、請求項1に記載の半導体装置の製造方法。

【請求項9】 前記マスク層を形成するステップは、最下層膜として前記 SiO_2 膜を備える、前記マスク層を形成するステップを含む、請求項1に記載の半導体装置の製造方法。

【請求項10】 前記マスク層を形成するステップは、最下層膜として前記金属薄膜を備える、前記マスク層を形成するステップを含む、請求項1に記載の半導体装置の製造方法。

【請求項11】 前記マスク層を形成するステップは、最上層膜として前記 SiO_2 膜を備える、前記マスク層を形成するステップを含む、請求項1に記載の半導体装置の製造方法。

【請求項12】 前記マスク層を形成するステップは、最上層膜として前記金属薄膜を備える、前記マスク層を形成するステップを含む、請求項1に記載の半導体装置の製造方法。

【請求項13】 前記マスク層を形成するステップは、前記 SiO_2 膜を SiOG 法により形成するステップを含む、請求項1に記載の半導体装置の製造方法。

【請求項14】 半導体基板の表面に、 SiO_2 膜と、金属薄膜と、を備えるマスク層を形成するステップと、

前記半導体基板の表面に不純物イオン注入を行なうステップと、

を備える、半導体基板への不純物イオン注入方法。

【請求項15】 半導体基板に不純物イオン注入を行なう際に用いるマスク層であって、 SiO_2 膜と、金属薄膜と、を備えるマスク層。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関する。さらに詳しくは、本発明は、 SiC 系半導体基板を備える半導体装置の製造方法に関する。

【0002】

また、本発明は、半導体基板への不純物イオン注入方法に関する。さらに、本発明は、これらの方法に用いるマスク層に関する。

【0003】

【従来の技術】

炭化ケイ素 (SiC) は、バンドギャップが広く、また最大絶縁電界がシリコン (Si) に比較して約一桁大きく、キャリアの移動度が Si なみに大きく、電子の飽和ドリフト速度が GaAs なみに大きく、かつ耐圧が大きいので、高速スイッチング素子や大電力用素子などの次世代の電力用半導体素子 (特に、接合型電界効果トランジスタ (JFET: Junction Field Effect Transistor) など) への応用が期待される材質である。

【0004】

SiC の結晶構造には、六方最密充填構造と立方最密充填構造とがあり、六方最密充填構造ではさらに層の繰返し周期の違うものが数多く存在し、100 種以上の結晶多形 (ポリタイプ) が知られている。代表的なポリタイプとして、3C、4H、6H などがある。C は立方晶を、また H は六方晶を意味し、その前の数字は繰返し周期を表す。立方晶形は 3C のみであり、これを β -SiC、その他をまとめて α -SiC と読んでいる。

【0005】

最近では電力要素子としてショットキーダイオード、縦型 MOSFET、JFET、サイリスタなど、あるいは、最も汎用的な半導体装置である CMOS-IC が試作され、その特性から従来の Si 半導体装置と比較して非常に良好な特性を実現する可能性があることが示唆されている。

【0006】

ところが、SiC 縦型 MOS 半導体素子、SiC JFET 素子などでは、非常に優れた特性の実現が期待されるものの、実際には、これまで良好な特性が実現した旨の報告は少なく、実際に製造されているケースも少ない。その原因は、SiC 系半導体基板へのイオン注入などの工程において微細加工の制御が困難であることにある。

【0007】

Si系半導体基板を用いる半導体素子では、p型不純物とn型不純物とを同一のマスクにより選択的に導入し、熱拡散することによって、精密なチャネル密度が実現される。すなわちJFETなどの半導体素子の特性を左右するチャネルの寸法などが非常に精密に制御可能で、歩留まり良くJFETなどの半導体素子を作ることができる。

【0008】

これに対し、SiC系半導体基板を用いる半導体素子では、Si系半導体基板に比べて不純物の拡散がほとんど起きないため、Si系半導体基板を用いる半導体素子のような精密なチャネル密度などの制御を実現することが難しい。そのため、チャネル抵抗などが大きくなり、またそのばらつきも非常に大きなものになってしまう傾向がある。その結果、期待されたようなSiC系半導体基板を用いる半導体素子の特性が十分に実現されていないのが現状である。

【0009】

また、SiC系半導体基板を用いる半導体素子では、イオン注入した不純物の活性化率が悪く、活性化率を向上するために、300℃以上での高温のイオン注入を行なうこともあり、レジスト膜をイオン注入のマスク層として好適に使用できないという問題がある。さらに、シリコン酸化膜やポリシリコン膜などをマスク層として用いても、高温によりマスク層のひび割れや剥離が起こる傾向があるという問題がある。

【0010】

上述のように、SiC系半導体基板を用いる半導体素子（本明細書において、SiCデバイスとも記載する）の製造の際には、結晶損傷の抑制のため高温環境下でのイオン注入が必要である。

【0011】

そこで、高温環境下でのイオン注入においてマスク層として用いることのできる材質の開発が求められており、関係各方面で技術開発が行われている。ここで、SiO₂を材質として含有するマスク層は、高温環境下での高エネルギー注入に耐え得る優れた特性を有する。このような特性を利用して、SiO₂膜をマス

ク層としてイオン注入を行い、その後、熱拡散により十分な深さの不純物注入領域を形成する技術が開示されている（たとえば、特許文献1および非特許文献1参照。）。

【0012】

しかし、SiCデバイスの製造の際には、SiC系半導体基板における不純物の熱拡散が小さいため、十分な深さの不純物注入を行なうためには、高エネルギーでのイオン注入が必要である。そして、SiO₂を用いるマスク層は、1 μmを超える厚みになるとSiO₂を含有する酸化膜に高温環境下でクラックが生じるため、イオン注入のマスク層としては使えなくなるという問題がある。

【0013】

一方、SiO₂を含有する酸化膜の厚みを1 μm以下とすると、この酸化膜により阻止できるイオン注入のエネルギーは限られるため、イオン注入の注入深さはせいぜい0.3 μmにとどまる。よって、一般に0.6 μm～1 μmの範囲の注入深さを要する半導体素子の製造の際には、SiO₂を含有する酸化膜をマスク層として好適に用いることができないという問題がある。

【0014】

このように、SiO₂を用いるマスク層には、イオン注入の注入深さに制約が生じるという問題があるため、SiC系半導体基板を用いる半導体素子の製造にはあまり利用されていない。また、仮に利用されていたとしても、下記の欠点を克服するために複雑な工程が必要であるという問題を抱えている。

【0015】

【特許文献1】

特開平10-256173号公報

【0016】

【非特許文献1】

電気学会高性能高機能パワーデバイス・パワーIC調査専門委員会編、「パワーデバイス・パワーICハンドブック」，コロナ社，1996年7月，p. 38-41

【0017】

【発明が解決しようとする課題】

上記の現状に基づき、本発明の課題は、半導体基板に対して、高温環境下での高エネルギー注入を行なうことができ、十分な深さの不純物注入を行なうことができる、半導体装置の製造方法を提供することである。

【0018】

また、本発明の他の課題は、半導体基板に対して、高温環境下での高エネルギー注入を行なうことができ、十分な深さの不純物注入を行なうことができる、半導体基板への不純物イオン注入方法を提供することである。

【0019】

さらに、本発明の別の課題は、高温環境下での高エネルギー注入に耐えることができ、高エネルギーのイオン注入を阻止できる厚みにおいてもクラックが生じない、不純物イオン注入に用いるマスク層を提供することである。

【0020】**【課題を解決するための手段】**

本発明者は、上記の課題を解決するためには、高温環境下での高エネルギー注入に耐え得る優れた特性を有する SiO_2 を材質として含有するマスク層の構造を改良して、高エネルギーのイオン注入を阻止できる厚みにおいてもクラックが生じないようにすれば良いとの着想を得、種々の構造を有する SiO_2 を材質として含有するマスク層を試作して、鋭意実験を重ねた。

【0021】

その結果、本発明者は、半導体基板の表面に、 SiO_2 膜と、金属薄膜と、を備えるマスク層を形成することにより、高エネルギーのイオン注入を阻止できる厚みにおいても、 SiO_2 を材質として含有するマスク層にクラックが生じないようにすることができることを見出した。

【0022】

そして、本発明者は、上記のマスク層を用いることにより、 SiC 系半導体基板をはじめとする不純物の熱拡散が小さい半導体基板に対して、高温環境下での高エネルギー注入を行なうことができ、十分な深さの不純物注入を行なうことができることを見出し、本発明を完成した。

【0023】

すなわち、本発明の半導体装置の製造方法は、半導体基板の表面に、 SiO_2 膜と、金属薄膜と、を備えるマスク層を形成するステップと、この半導体基板の表面に不純物イオン注入を行なうステップと、を備える、半導体装置の製造方法である。

【0024】

ここで、このマスク層を形成するステップは、 SiC 系半導体基板の表面に、この SiO_2 膜と、この金属薄膜と、を備えるこのマスク層を形成するステップを含んでもよく、この不純物イオン注入を行なうステップは、この SiC 系半導体基板の表面に不純物イオン注入を行なうステップを含んでもよい。

【0025】

また、このマスク層を形成するステップは、この半導体基板の表面の不純物注入を行わない領域に、このマスク層を形成するステップを含んでもよい。

【0026】

さらに、この不純物イオン注入を行なうステップは、この半導体基板のこのマスク層を形成していない表面に、この不純物イオン注入を行なうステップを含んでもよい。

【0027】

そして、この不純物イオン注入を行なうステップは、この半導体基板を 300°C ～ 500°C の範囲に加熱した状態で、この不純物イオン注入を行なうステップを含んでもよい。

【0028】

また、この不純物イオン注入を行なうステップは、この半導体基板を 500°C ～ 800°C の範囲に加熱した状態で、この不純物イオン注入を行なうステップを含んでもよい。

【0029】

そして、このマスク層を形成するステップは、この SiO_2 膜と、この金属薄膜と、を備え、3層以上の膜からなるこのマスク層を形成するステップを含んでもよい。

【0030】

また、このマスク層を形成するステップは、それぞれ500nm～1.5μmの範囲の平均厚みを有する、このSiO₂膜と、この金属薄膜と、を備えるこのマスク層を形成するステップを含んでもよい。

【0031】

そして、このマスク層を形成するステップは、最下層膜としてこのSiO₂膜を備える、このマスク層を形成するステップを含んでもよい。

【0032】

あるいは、このマスク層を形成するステップは、最下層膜としてこの金属薄膜を備える、このマスク層を形成するステップを含んでもよい。

【0033】

また、このマスク層を形成するステップは、最上層膜としてこのSiO₂膜を備える、このマスク層を形成するステップを含んでもよい。

【0034】

あるいは、このマスク層を形成するステップは、最上層膜としてこの金属薄膜を備える、このマスク層を形成するステップを含んでもよい。

【0035】

さらに、このマスク層を形成するステップは、このSiO₂膜をSOG法により形成するステップを含んでもよい。

【0036】

そして、本発明の半導体基板への不純物イオン注入方法は、半導体基板の表面に、SiO₂膜と、金属薄膜と、を備えるマスク層を形成するステップと、この半導体基板の表面に不純物イオン注入を行なうステップと、を備える、半導体基板への不純物イオン注入方法である。

【0037】

また、本発明のマスク層は、半導体基板に不純物イオン注入を行なう際に用いるマスク層であって、SiO₂膜と、金属薄膜と、を備えるマスク層である。

【0038】

【発明の実施の形態】

以下、実施の形態を示して本発明をより詳細に説明する。

【0039】

<半導体基板>

本発明に用いる半導体基板は、これらの従来公知の半導体基板の中でも、SiC系半導体基板であることが好ましい。炭化ケイ素(SiC)は、バンドギャップが広く、また最大絶縁電界がシリコン(Si)に比較して約一桁大きく、キャリアの移動度がSiなみに大きく、電子の飽和ドリフト速度がGaAsなみに大きく、かつ耐圧が大きいという優れた特性を有するからである。

【0040】

また、後述する本発明のマスク層は、SiC系半導体基板をはじめとする不純物の熱拡散が小さい半導体基板に対して、高温環境下での高エネルギー注入を行なうことができ、十分な深さの不純物注入を行なうことができるという優れた特性を発揮するからである。

【0041】

本明細書において、SiC系半導体基板とは、SiCを材質として含む半導体基板を示すものとする。ここで、SiC系半導体基板は、SiCのみを材質として含む必要はなく、SiCの優れた特性を損なわない範囲で他の成分を材質として含んでいてもよい。

【0042】

本発明に用いるSiCの結晶構造は、特に限定されず、たとえば六方最密充填構造あるいは立方最密充填構造のSiCを用いることができる。また、SiCの六方最密充填構造ではさらに層の繰返し周期の違うものが数多く存在し、100種以上の結晶多形(ポリタイプ)が知られているが、いずれの種類の構造であってもよい。たとえば代表的なポリタイプとして、3C、4H、6Hなどを用いることができる。本明細書において、Cは立方晶を、またHは六方晶を意味し、その前の数字は繰返し周期を表すものとする。これらの中で、立方晶形は3Cのみであり、これを β -SiC、その他をまとめて α -SiCと読んでいる。

【0043】

もっとも、本発明に用いる半導体基板は、SiC系半導体基板に特に限定され

ず、従来公知の任意の半導体基板を用いることができる。

【0044】

本発明のマスク層は、SiC系半導体基板以外の半導体基板に適用した場合においても、高エネルギーのイオン注入を阻止できる厚みにおいて、SiO₂を材質として含有するマスク層にクラックが生じないという優れた特性を有することにより変わりはないからである。

【0045】

<マスク層>

本発明のマスク層は、半導体基板に不純物イオン注入を行なう際に用いるマスク層であって、SiO₂膜と、金属薄膜と、を備えるマスク層である。

【0046】

ここで、本発明のマスク層に備えられるSiO₂膜は、SiO₂を材質として含む酸化膜であればよい。SiO₂を材質として含む酸化膜は、高温環境下での高エネルギー注入に耐え得る優れた特性を有するからである。また、SiO₂膜は、SiO₂のみを材質として含む必要はなく、SiO₂の優れた特性を損なわない範囲で他の成分を材質として含んでいてもよい。

【0047】

本発明のマスク層に備えられるSiO₂膜は、特に限定せず、従来公知の方法で形成することができるが、たとえばSOG法によりSiO₂膜を形成することができる。ここで、SOG法とは、おもにシラノール[(OR)_mR_nSi(OH)_{4-m-n}]をアルコールなどの溶剤に溶かしてウェーハ上にスピン塗布した後に熱硬化させ、純粋なSiO₂の組成に近い絶縁膜(本明細書において、SOG膜とも記載する)を得る方法を意味する。なお、本明細書においては、SiO₂膜には、SOG膜が含まれるものとする。

【0048】

SOG膜には、シラノール化合物の種類によって、無機SOG膜と有機SOG膜とがある。SOG法には、液体を利用して膜を形成するため、せまい配線間を埋めることができるという利点がある。

【0049】

そして、本発明のマスク層に備えられる SiO_2 膜の平均厚みは 500 nm 以上であることが好ましく、 800 nm 以上であることがより好ましい。また、この平均厚みは $1.5\text{ }\mu\text{m}$ 以下であることが好ましく、 $1.2\text{ }\mu\text{m}$ 以下であることがより好ましい。 SiO_2 膜の平均厚みが 500 nm 未満の場合には、この SiO_2 膜により阻止できるイオン注入のエネルギーは限られ、イオン注入の注入深さが小さくなる傾向にある。また、 SiO_2 膜の平均厚みが $1.5\text{ }\mu\text{m}$ を超えると、 SiO_2 膜に高温環境下でクラックが生じるため、イオン注入の際のマスク層としては適さなくなる傾向がある。

【0050】

また、本発明のマスク層に備えられる金属薄膜は、金属を材質として含む薄膜であればよいが、金属蒸着膜が特に好ましい。ここで、上記の金属蒸着膜は、 SiO_2 を材質として含む酸化膜あるいは SiC 系半導体基板などに、従来公知の方法で金属を蒸着させることにより容易に得られる。

【0051】

このように、金属蒸着膜をはじめとする金属薄膜をマスク層に備えることにより、 SiO_2 膜の平均厚みが $1.5\text{ }\mu\text{m}$ を超えることなく、マスク層全体の平均厚みを $1.5\text{ }\mu\text{m}$ 以上とすることができる。そのため、 SiO_2 膜が高温環境下でもクラックを生じにくい状態で、マスク層全体として高エネルギーのイオン注入を阻止できる。

【0052】

また、本発明のマスク層に備えられる金属薄膜は、特に限定されず、従来公知の任意の金属を材質として含む薄膜を用いることができるが、たとえば、アルミニウム、ニッケル、金などの金属を材質として含む薄膜を用いることができる。これらの金属の中でも、薄膜の形成の容易さとコスト面の理由から、アルミニウムを材質として含む薄膜を用いることが特に好ましい。そして、金属薄膜は、金属のみを材質として含む必要はなく、金属薄膜の優れた特性を損なわない範囲で他の成分を材質として含んでいてもよい。

【0053】

そして、本発明のマスク層に備えられる金属薄膜の平均厚みは 500 nm 以上

であることが好ましく、800 nm以上であることがより好ましい。また、この平均厚みは1.5 μ m以下であることが好ましく、1.2 μ m以下であることがより好ましい。

【0054】

また、本発明のマスク層は、半導体基板に不純物イオン注入を行なう際に用いるマスク層であって、SiO₂膜と、金属薄膜と、を備えるマスク層であれば、SiO₂膜と、金属薄膜と、の二層構造であってもよく、あるいは三層以上の構造であってもよい。三層以上の構造とすることにより、SiO₂膜が高温環境下でもクラックを生じにくい状態で、マスク層全体の膜厚を増すことで高エネルギーのイオン注入を阻止できる利点がある。

【0055】

さらに、本発明のマスク層は、最下層膜としてSiO₂膜を備えていてもよい。このような構造により、金属薄膜由来の金属イオンによるSiC系半導体基板をはじめとする半導体基板の汚染を防ぐことができる利点がある。

【0056】

あるいは、本発明のマスク層は、最下層膜として金属薄膜を備えていてもよい。このような構造により、イオン注入後の半導体基板からのマスク層の除去を容易にすることができる利点がある。

【0057】

また、本発明のマスク層は、最上層膜としてSiO₂膜を備えていてもよい。このような構造により、金属蒸着膜をはじめとする金属薄膜がRIE (Reactive Ion Etching: 反応性イオンエッチング) 法などによりエッチングされてしまうことを避けることができ、パターン形成が容易になる利点がある。

【0058】

あるいは、本発明のマスク層は、最上層膜として金属薄膜を備えていてもよい。このような構造により、SiO₂膜にクラックが発生しても、その影響を最小限に抑えることができる利点がある。

【0059】

本発明のマスク層は、これらの構造の中でも、最下層から順に SiO_2 膜と、金属薄膜と、 SiO_2 膜と、を備える構造を有することが特に好ましい。このような三層構造を有するマスク層は、 SiO_2 膜の平均厚みが $1.5\mu\text{m}$ を超えることなく、マスク層全体の平均厚みを $1.5\mu\text{m}$ 以上とすることができる。そのため、 SiO_2 膜が高温環境下でもクラックを生じにくい状態で、マスク層全体として高エネルギーのイオン注入を阻止できることとなるからである。

【0060】

<半導体装置の製造方法>

図1は、本発明の半導体基板の製造方法の一例の概要を示す断面図である。

【0061】

本発明の半導体装置の製造方法においては、まず、半導体基板の表面に、 SiO_2 膜と、金属薄膜と、を備える複合膜からなるマスク層を形成する。

【0062】

図1(a)は、本発明の半導体装置の製造方法の一例によりマスク層を形成するステップの途中の半導体装置の概要を示す断面図である。

【0063】

本発明の半導体装置の製造方法に備えられる、マスク層を形成するステップにおいては、まず、たとえば図1(a)に示すように、半導体装置1000は、 SiC 系半導体基板101の表面に、マスク層103を形成される。そして、このマスク層103は、 SiO_2 膜107aと、金属薄膜105と、 SiO_2 膜107bと、を備える3層構造からなる複合膜となっている。

【0064】

ここで、一般に半導体デバイス（半導体素子）の製造の際には、決められた領域のみに選択的に不純物を導入することが重要である。そして、そのような選択的な不純物の導入を可能にする手段の一つが、マスク層を介してのイオン注入である。特に、 SiC 系半導体などの不純物の熱拡散が小さい半導体を材質とする半導体デバイスでは、マスク層を介してのイオン注入は、選択的に不純物を導入するほとんど唯一の実用的な方法と言える。

【0065】

そして、本発明の半導体装置の製造方法においては、イオン注入を行なう領域を選択するために半導体基板上に形成するマスク層を、図1(a)に示すようにSiO₂膜と金属薄膜との複合膜として形成することにより、SiC系半導体基板をはじめとする不純物の熱拡散が小さい半導体基板に対する、領域選択的なイオン注入を、結晶構造へのダメージを抑制しつつ行なうことができる。

【0066】

ここで、マスク層の形成方法は特に限定されず、従来公知の方法を用いることができるが、たとえばSiO₂膜についてはSOG法により、金属薄膜については金属蒸着法により容易に形成可能である。

【0067】

また、金属薄膜を金属蒸着法により形成するには、たとえば、EB蒸着により形成することが好ましい。

【0068】

図1(b)は、本発明の半導体装置の製造方法の一例によりマスク層を形成するステップの途中の半導体装置の概要を示す断面図である。

【0069】

本発明の半導体装置の製造方法に備えられる、マスク層を形成するステップにおいては、次に、たとえば図1(b)に示すように、図1(a)でマスク層を形成された半導体装置1000は、マスク層107a上にレジスト材料を塗布した後、ガラスマスク111を用いてパターン露光することにより、レジスト材料を硬化させてレジスト膜109を形成する。

【0070】

ここで、レジスト材料としては、特に限定せず、従来公知のレジスト材料を条件に応じて選択して用いることができる。また、ガラスマスクとしても、特に限定せず、従来公知のガラスマスクを用いてパターン露光を行なうことができる。

【0071】

図1(c)は、本発明の半導体装置の製造方法の一例によりマスク層を形成するステップの途中の半導体装置の概要を示す断面図である。

【0072】

本発明の半導体装置の製造方法に備えられる、マスク層を形成するステップにおいては、続いて、たとえば図1(c)に示すように、図1(b)でレジスト膜109を形成された半導体装置1000は、RIE法、ウェットエッチング法などにより、レジスト膜109をマスクとしてマスク層103をエッチングされる。

【0073】

ここで、RIE法などによるエッチングの条件は、特に限定せず、従来公知の条件によりエッチングを行なうことができるが、たとえば平行平板型RIE装置、酸性溶液などを用いてエッチングを行なうことができる。

【0074】

図1(d)は、本発明の半導体装置の製造方法の一例により不純物イオン注入を行なうステップの途中の半導体装置の概要を示す断面図である。

【0075】

本発明の半導体装置の製造方法に備えられる、不純物イオン注入を行なうステップにおいては、たとえば図1(d)に示すように、図1(c)でマスク層103をエッチングされた半導体装置1000は、イオン注入法により不純物をSiC系半導体基板101に注入される。

【0076】

ここで、本発明に用いる不純物の種類は、特に限定されず、製造される半導体装置の構造と目的に応じて適宜選択可能であるが、たとえば、アルミニウム、ホウ素、窒素、リンなどが好ましい。

【0077】

ここで、本発明におけるイオン注入の条件は、特に限定せず、従来公知の条件によりイオン注入を行なうことができるが、イオン注入に用いる装置としては、高電流イオン注入装置などを用いることが好ましい。

【0078】

さらに、本発明におけるイオン注入のドーズ量は、 $1 \times 10^{15} \text{ cm}^{-2}$ 以下であることが好ましい。このドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ を超えると、注入済のイオンに新たに注入されたイオンが衝突してさらに深く押込まれる傾向がある。

【0079】

そして、本発明におけるイオン注入の際の基板温度は、イオン注入による SiC 系半導体基板の結晶構造へのダメージ（アモルファス化）を抑制するために、300℃以上であることが望ましく、特に500℃以上であることがさらに望ましい。また、この基板温度は、SiCの昇華を防ぐ理由から、1000℃以下であることが望ましく、特に800℃以下であることがさらに望ましい。

【0080】

また、本発明におけるイオン注入の角度は、特に限定せず、従来公知のイオン注入法で採用されてきたいずれの角度において注入してもよいが、たとえば、基板に対して垂直な角度でイオン注入することが好ましい。

【0081】

図1（e）は、本発明の半導体装置の製造方法の一例により不純物イオン注入を行なうステップの後の半導体装置の概要を示す断面図である。

【0082】

本発明の半導体装置の製造方法に備えられる、不純物イオン注入を行なうステップの後のにおいては、たとえば図1（e）に示すように、図1（d）で不純物イオン注入された半導体装置1000は、マスク層103を除去される。

【0083】

ここで、上記のマスク層の除去方法は、特に限定せず、従来公知のマスク層の除去方法を用いることができるが、たとえば、酸性溶液による溶解により除去することが好ましい。

【0084】

＜半導体基板への不純物イオン注入方法＞

本発明の半導体基板への不純物イオン注入方法は、半導体基板の表面に、SiO₂膜と、金属薄膜と、を備えるマスク層を形成するステップと、この半導体基板の表面に不純物イオン注入を行なうステップと、を備える、半導体基板への不純物イオン注入方法である。

【0085】

本発明の半導体基板への不純物イオン注入方法の詳細は、本発明の半導体装置

の製造方法の詳細と同様であるので、説明を繰返さない。

【0086】

【実施例】

以下、実施例を挙げて本発明をより詳細に説明するが、本発明はこれらに限定されるものではない。

【0087】

<実施例1>

まず、本実施例に用いるSiC系半導体基板として、1cm角の4H-SiC基板（表面の面方位は0001面から約8度傾いている）を用意した。

【0088】

そして、図1(a)に示すように、SiC系半導体基板101上に、下からSiO₂膜107b（平均厚み1μm）、Al金属薄膜105（平均厚み1μm）、SiO₂膜107a（平均厚み1μm）の組合せからなるマスク層103を積層した。なお、SiO₂膜107a、107bはSOG法で作成し、Al金属薄膜105は金属蒸着法で作成した。

【0089】

次いで、図1(b)に示すように、SiO₂膜107a上にレジスト材料を塗布し、ガラスマスク111を用いてパターン露光してレジスト材料を硬化させてレジスト膜109を形成した。

【0090】

さらに、図1(c)に示すように、図1(b)でレジスト膜109を形成されたSiC系半導体基板101を、RIE法によりレジスト膜109をマスクとしてマスク層103をエッチングした。

【0091】

続いて、図1(d)に示すように、図1(c)でマスク層103をエッチングされたSiC系半導体基板101に、イオン注入法により不純物としてアルミニウムをSiC系半導体基板101に注入した。

【0092】

次いで、図1(e)に示すように、図1(d)で不純物イオン注入されたSi

C系半導体基板101から、フッ酸で溶解することにより、マスク層103を除去した。

【0093】

得られた不純物イオン注入されたSiC系半導体基板101を、Ar中で1700℃、30分間のアニールをした後、SIMSにより評価したところ、マスク層103に被覆された領域においては、Alが検出されないという結果が得られ、Alの加速エネルギー340keVの注入を阻止できていることが判明した。また、ラマン散乱測定により評価したところ、SiC系半導体基板101の結晶構造が損傷していないことが判明した。

【0094】

<比較例1>

SiC系半導体基板上に、SiO₂膜（平均厚み1μm）のみからなるマスク層を積層したことを除いては、実施例1と同様にしてSiC系半導体基板にイオン注入を行った。

【0095】

得られた不純物イオン注入されたSiC系半導体基板を、実施例1と同様にして評価したところ、SiO₂膜（平均厚み1μm）のみからなるマスク層では厚みが足りないため、SiO₂膜（平均厚み1μm）のみからなるマスク層に被覆された領域においてもAlが検出されるという結果が得られ、Alの加速エネルギー340keVの注入を十分に阻止できないことが判明した。なお、SiC系半導体基板101の結晶構造は、損傷していなかった。

【0096】

<比較例2>

SiC系半導体基板上に、SiO₂膜（平均厚み3μm）のみからなるマスク層を積層したことを除いては、実施例1と同様にしてSiC系半導体基板にイオン注入を行った。

【0097】

得られた不純物イオン注入されたSiC系半導体基板を、実施例1と同様にして評価したところ、SiO₂膜（平均厚み3μm）のみからなるマスク層にはク

ラックが発生していたため、その部分からはA1が検出される結果が得られ、SiO₂膜（平均厚み3 μm）のみからなるマスク層に被覆された領域においては、A1の加速エネルギー340 keVの注入を十分に阻止できないことが判明した。なお、SiC系半導体基板101の結晶構造は、損傷していなかった。

【0098】

今回開示された実施の形態および実施例はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0099】

【発明の効果】

上記の結果より、本発明の半導体装置の製造方法においては、SiC系半導体基板をはじめとする半導体基板の表面に、SiO₂膜と、金属薄膜と、を備えるマスク層を形成し、このマスク層は、高温環境下でもクラックを生じず、十分な厚みを有するため、SiC系半導体基板をはじめとする半導体基板への領域選択的な高エネルギーイオン注入を、半導体基板の結晶構造へのダメージを抑制しつつ行なうことができる。

【0100】

すなわち、本発明の半導体装置の製造方法は、半導体基板に対して、高温環境下での高エネルギー注入を行なうことができ、十分な深さの不純物注入を行なうことができる、半導体装置の製造方法である。

【0101】

また、本発明の不純物イオン注入方法は、半導体基板に対して、高温環境下での高エネルギー注入を行なうことができ、十分な深さの不純物注入を行なうことができる、半導体基板への不純物イオン注入方法である。

【0102】

さらに、本発明のマスク層は、高温環境下での高エネルギー注入に耐えることができ、高エネルギーのイオン注入を阻止できる厚みにおいてもクラックが生じない、不純物イオン注入に用いるマスク層である。

【図面の簡単な説明】

【図 1】 本発明の半導体装置の製造方法の一例における、製造中の半導体装置の概要を示す断面図である。

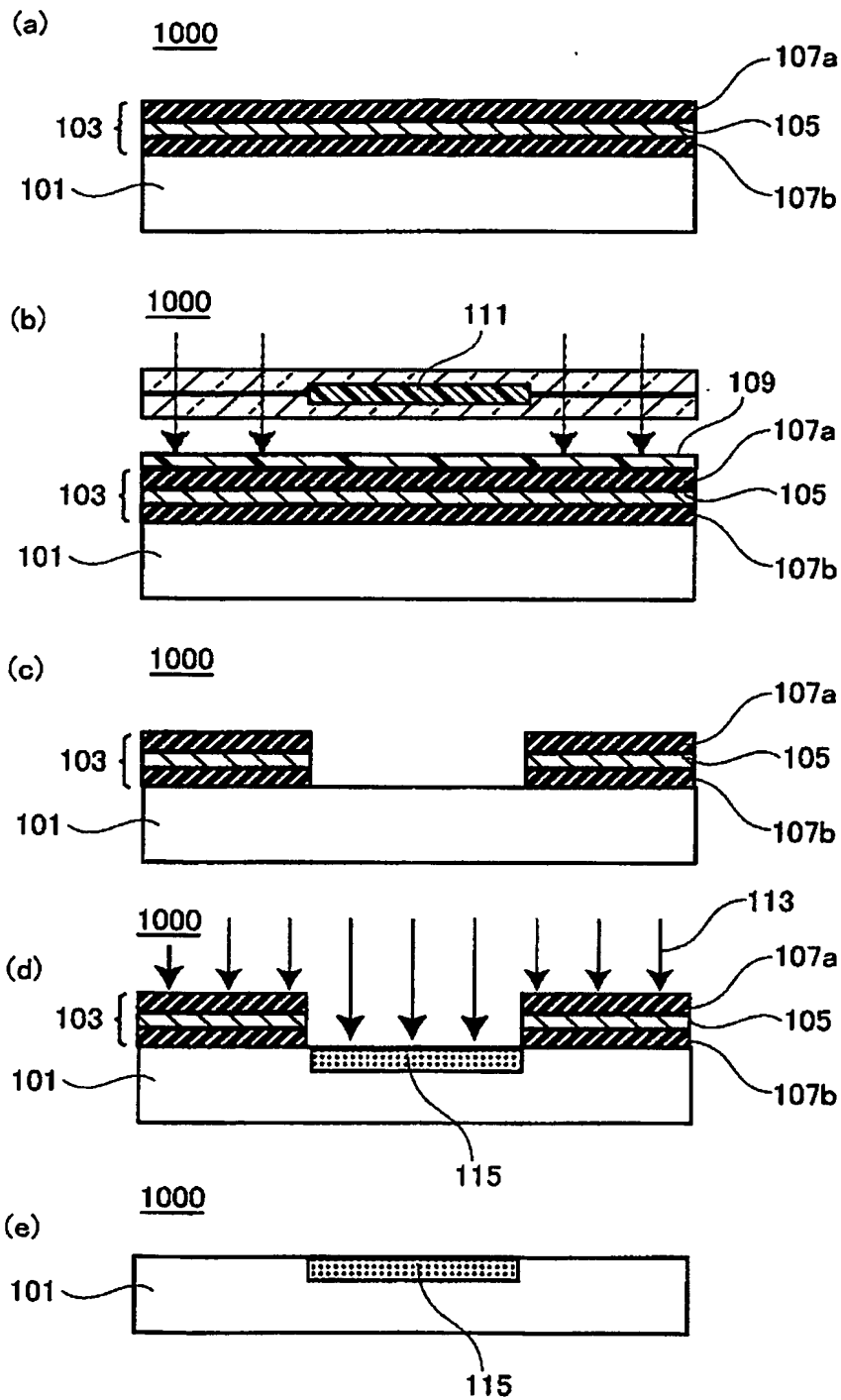
【符号の説明】

101 SiC系半導体基板、103 マスク層、105 金属薄膜、107 a, 107 b SiO₂膜、109 レジスト膜、111 ガラスマスク、113 イオン注入方向、115 イオン注入された領域、1000 半導体装置。

【書類名】

図面

【図 1】



【書類名】 要約書

【要約】

【課題】 半導体基板に対して、高温環境下での高エネルギー注入を行なうことができ、十分な深さの不純物注入を行なうことができる、半導体装置の製造方法を提供する。

【解決手段】 半導体基板の表面に、 SiO_2 膜と、金属薄膜と、を備えるマスク層を形成するステップと、この半導体基板の表面に不純物イオン注入を行なうステップと、を備える、半導体装置の製造方法。ここで、この不純物イオン注入を行なうステップは、この半導体基板を $300^\circ\text{C} \sim 500^\circ\text{C}$ の範囲に加熱した状態で、この不純物イオン注入を行なうステップを含んでもよい。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002130]

| | |
|----------|---------------------|
| 1. 変更年月日 | 1990年 8月29日 |
| [変更理由] | 新規登録 |
| 住 所 | 大阪府大阪市中央区北浜四丁目5番33号 |
| 氏 名 | 住友電気工業株式会社 |

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.